

23 JAN. 2003

BEST AVAILABLE COPY



REC'D 03 MAR 2003	
WIPO	PCT

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 19 DEC. 2002

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

A handwritten signature in black ink, appearing to read 'Martine PLANCHE'.

Martine PLANCHE

DOCUMENT DE PRIORITÉ

PRÉSENTÉ OU TRANSMIS
CONFORMÉMÉNT À LA
RÈGLE 17.1.a) OU b)



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

1er dépôt

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

N° 11354 01

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 v1 / 190600

Réservé à l'INPI

REMISE DES PIÈCES DATE LIEU N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI	26 DEC 2001 75 INPI PARIS 0116874 26 DEC. 2001	<input checked="" type="checkbox"/> NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE CABINET PLASSERAUD 84, rue d'Amsterdam 75440 PARIS CEDEX 09
---	---	---

Vos références pour ce dossier
(facultatif) SVISZ-BFF010289

Confirmation d'un dépôt par télécopie

N° attribué par l'INPI à la télécopie

[2] NATURE DE LA DEMANDE

Demande de brevet
Demande de certificat d'utilité

Cochez l'une des 4 cases suivantes

Demande divisionnaire

Demande de brevet initiale

ou demande de certificat d'utilité initiale

Transformation d'une demande de
brevet européen Demande de brevet initiale

Date / /

Date / /

Date / /

[3] TITRE DE L'INVENTION (200 caractères ou espaces maximum)

PROCEDE ET DISPOSITIF DE CONVERSION D'UNE VALEUR NUMERIQUE QUANTIFIÉE

[4] DÉCLARATION DE PRIORITÉ

OU REQUÊTE DU BÉNÉFICE DE
LA DATE DE DÉPÔT D'UNE
DEMANDE ANTÉRIEURE FRANÇAISE

Pays ou organisation

Date / / /

N°

Pays ou organisation

Date / / /

N°

Pays ou organisation

Date / / /

N°

S'il y a d'autres priorités, cochez la case et utilisez l'imprimé « Suite »

[5] DEMANDEUR

Nom ou dénomination sociale

EADS DEFENCE AND SECURITY NETWORKS

Prénoms

Société par Actions Simplifiée

Forme juridique

N° SIREN

Rue Jean-Pierre Timbaud Batiment Jean-Pierre Timbaud 78180 MONTIGNY LE
BRETONNEUX

Code APE-NAF

Adresse

Rue

Code postal et ville

FRANCE

Pays

Française

Nationalité

N° de téléphone (facultatif)

N° de télécopie (facultatif)

Adresse électronique (facultatif)

**BREVET D'INVENTION
CERTIFICAT D'UTILITÉ**

REQUÊTE EN DÉLIVRANCE 2/2

Réervé à l'INPI

REMISE DES PIÈCES

DATE

26 DEC 2001

LIEU

75 INPI PARIS

N° D'ENREGISTREMENT

0116874

NATIONAL ATTRIBUÉ PAR L'INPI

DD 549 W, 199603

REMISSÉES POUR CE DOSSIER : <i>(facultatif)</i>		SV/SZ-BFF010289
6 MANDATAIRE		
Nom		
Prénom		
Cabinet ou Société		Cabinet PLASSERAUD
N° de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	84, rue d'Amsterdam
Code postal et ville		75009 PARIS
N° de téléphone <i>(facultatif)</i>		
N° de télécopie <i>(facultatif)</i>		
Adresse électronique <i>(facultatif)</i>		
7 INVENTEUR (S)		
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée
8 RAPPORT DE RECHERCHE		
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>
Paiement échelonné de la redevance		Paiement en deux versements, uniquement pour les personnes physiques
		<input type="checkbox"/> Oui <input type="checkbox"/> Non
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques
		<input type="checkbox"/> Requise pour la première fois pour cette invention (<i>joindre un avis de non-imposition</i>) <input type="checkbox"/> Requise antérieurement à ce dépôt (<i>joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence</i>)
Si vous avez utilisé l'imprimé « Suite », indiquez le nombre de pages jointes		
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE <i>(Nom et qualité du signataire)</i> Stéphanie VERDURE 97-0901		VISA DE LA PRÉFECTURE OU DE L'INPI
		L. GUICHET

**PROCEDE ET DISPOSITIF DE CONVERSION
D'UNE VALEUR NUMERIQUE QUANTIFIEE**

La présente invention se rapporte au domaine du traitement numérique du signal en virgule fixe. Elle trouve des applications dans tout système numérique en virgule fixe, et en particulier dans les synthétiseurs à modulation numérique utilisés dans les émetteurs radio et les émetteurs-récepteurs radio d'un système de radio-communications numériques.

5 Pour effectuer des opérations sur des nombres binaires, un système numérique en virgule flottante comprend des ressources logicielles tels qu'un DSP (de l'anglais "Digital Signal Processor") correctement programmé. Par opposition, un système en virgule fixe comprend uniquement des circuits logiques séquentiels tels que des additionneurs numériques, des multiplicateurs 10 numériques, des registres à décalages, ou autres.

Les nombres binaires qui sont traités par un système numérique en virgule fixe codent des valeurs quantifiées correspondant à une valeur réelle X (par exemple la valeur variable d'un signal radio reçu par un récepteur radio, 15 ou la valeur constante de la fréquence d'un canal radio). Ces valeurs quantifiées sont représentées par des nombres entiers compris entre 0 et $2^n - 1$, où n est le nombre de bits servant à coder l'information, si la valeur X est toujours positive, ou entre $-(2^{n-1} - 1)$ et $2^{n-1} - 1$ si la valeur X est signée (c'est-à-dire si elle peut être négative). Par convention, on note X_q la valeur quantifiée 20 qui est obtenue à partir de la valeur réelle X par une opération de quantification. Pour une quantification linéaire, la correspondance entre la valeur réelle X (dite information réelle) et la valeur quantifiée X_q (dite information quantifiée), est donnée par la relation :

$$X_q = \text{arrondi}(X \times C_q) \quad (1)$$

25 où C_q est un nombre réel appelé coefficient de quantification.

La quantification du système est déterminée par le nombre C_q , en relation avec le nombre n . Le coefficient de quantification C_q est tel que :

$$\begin{cases} \text{arrondi}(|X(t)| \times C_q) \leq 2^{n-1} - 1, & \forall t, \text{ si l'information } X \text{ est signée} \\ \text{arrondi}(X(t) \times C_q) \leq 2^n - 1, & \forall t, \text{ sinon} \end{cases} \quad (2)$$

où $|x|$ désigne l'opérateur valeur absolue de la variable réelle x .

Le fait de quantifier l'information X crée une erreur, dite erreur de quantification et notée e , telle que :

$$e = X - \frac{Xq}{Cq} = X - \frac{\text{arrondi}(X \times Cq)}{Cq} \quad (3)$$

Bien sûr, l'erreur e est variable, en ce sens qu'elle dépend de la valeur X . D'après les propriétés de la fonction arrondi, l'erreur e est toutefois telle que $|e| \leq \frac{1}{2 \times Cq}$. La valeur maximum de l'erreur de quantification, notée e_{\max} , est donc donnée par :

$$e_{\max} = \frac{1}{2 \times Cq} \quad (4)$$

L'inverse du coefficient de quantification Cq est la résolution du système numérique, c'est-à-dire la plus petite variation de l'information réelle distinguable sur l'information quantifiée. Dit autrement, $\frac{1}{Cq}$ est tel que si

$$X = \frac{1}{Cq} + X' \text{ alors } Xq = 1 + Xq'.$$

L'optimisation de la dynamique du système conduit en général à définir la quantification en choisissant Cq tel que :

$$\begin{cases} Cq = \frac{\max(|X(t)|)}{2^{n-1}-1}, & \forall t, \text{ si l'information } X \text{ est signée} \\ Cq = \frac{\max(X(t))}{2^n-1}, & \forall t, \text{ sinon} \end{cases} \quad (5)$$

Certains systèmes imposent la quantification des données numériques, par exemple pour être homogène avec des signaux analogiques après conversion numérique-analogique d'un signal quantifié. Dans ce cas, on a une erreur de quantification majorée en module par $e_{\max} = \frac{1}{2 \times Cq}$ où Cq est le

coefficient de quantification correspondant. Or, il se peut que cette résolution soit insuffisante pour représenter tout ou partie des signaux numériques du système.

D'autre part, certains systèmes numériques utilisent des valeurs numériques constantes. Dans un émetteur ou un récepteur radio par exemple, une telle constante numérique peut représenter la fréquence centrale d'un

canal radio. Dans ce cas, on peut se trouver dans la situation où une erreur de quantification sur la constante numérique (cette erreur étant systématique, en ce sens qu'elle ne varie pas) dépasse l'erreur maximale tolérable pour la représentation numérique de cette constante. Si le système n'impose pas la 5 quantification des données numériques, on peut réduire l'erreur de quantification systématique sur une constante numérique K déterminée en choisissant, quitte à ne pas optimiser la dynamique du système, le coefficient de quantification Cq tel que $K - \frac{\text{arrondi}(K \times Cq)}{Cq} \leq e_d \leq e_{\max}$, où e_d est l'erreur 10 maximale tolérable pour la représentation numérique de la constante K. Ceci n'est toutefois pas possible dans un système qui impose la quantification des données numériques, tel qu'un synthétiseur de fréquence à modulation numérique par exemple.

C'est pourquoi, un premier objet de l'invention consiste à réduire les erreurs de quantification d'un signal numérique et/ou à corriger en numérique. 15 une erreur systématique de quantification d'une valeur numérique (notamment une valeur constante) sans contrainte sur la quantification, c'est-à-dire sans contrainte sur n et sur Cq.

De plus, l'utilisation dans un système numérique de données numériques issues de deux sous-systèmes ayant des quantifications 20 respectives déterminées par des coefficients de quantification distincts, n'est possible que si l'un des deux coefficients de quantification est un multiple entier de l'autre.

En effet, si l'on cherche à utiliser dans un même système numérique des données issues d'un premier sous-système ayant une quantification 25 déterminée par un premier coefficient Cq1 avec des données numériques issues d'un second sous-système ayant une quantification déterminée par un second coefficient Cq2, différent de Cq1, on doit choisir Cq1 et/ou Cq2 tel que $Cq2 = r \times Cq1$ ou tel que $Cq1 = r \times Cq2$, où r est un nombre entier.

On peut alors homogénéiser les données en multipliant par r les 30 données du premier sous-système, respectivement du second sous-système. Mais cela n'est possible que si au moins l'un des sous-systèmes n'impose pas la quantification des données numériques.

C'est pourquoi, un second objet de l'invention consiste à permettre de connecter plusieurs systèmes numériques entre eux en assurant l'homogénéité des données mais sans contraintes sur leurs quantifications respectives.

Selon un premier aspect de l'invention, il est ainsi proposé un procédé 5 de conversion d'une valeur numérique d'entrée quantifiée selon un premier coefficient de quantification et codée sur au plus n_1 bits, en une valeur numérique de sortie quantifiée selon un second coefficient de quantification et codée sur au plus n_2 bits, où n_1 et n_2 sont des nombres entiers non nuls.

Le procédé comprend les étapes consistant à :

10 a) multiplier la valeur numérique d'entrée par un nombre B entier, codé sur au plus β bits, où β est un nombre entier non nul, pour générer une première valeur numérique intermédiaire codée sur au plus $n_1+\beta$ bits ; et,

15 b) diviser, en virgule fixe, ladite première valeur numérique intermédiaire par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n_1+\beta$, pour générer ladite valeur numérique de sortie.

Selon l'invention, le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport dudit 20 second coefficient de quantification sur ledit premier coefficient de quantification. En outre, l'étape b) est réalisée au moyen d'un modulateur Sigma-Delta (modulateur $\Sigma-\Delta$). De préférence, il s'agit d'un modulateur $\Sigma-\Delta$ d'ordre 1, qui est le plus simple à implémenter.

On notera qu'il s'agit d'une conversion numérique/numérique, c'est-à-dire que la valeur numérique de sortie, comme la valeur numérique d'entrée, sont des valeurs numériques quantifiées. Ce qui change, c'est la quantification de cette valeur numérique. En particulier, le modulateur $\Sigma-\Delta$ est un modulateur 25 numérique/numérique.

Selon un deuxième aspect de l'invention, il est aussi proposé un dispositif de conversion d'une valeur numérique d'entrée quantifiée selon un premier coefficient de quantification et codée sur au plus n_1 bits, en une valeur numérique de sortie quantifiée selon un second coefficient de quantification et 30 codée sur au plus n_2 bits, où n_1 et n_2 sont des nombres entiers non nuls.

Le dispositif comprend des moyens multiplicateurs pour multiplier la valeur numérique d'entrée par un nombre B entier, codé sur au plus β bits, où β est un

nombre entier non nul. Ces moyens multiplicateurs génèrent une première valeur numérique intermédiaire codée sur au plus $n_1 + \beta$ bits. Le dispositif comprend en outre des moyens diviseurs pour diviser, en virgule fixe, ladite première valeur numérique intermédiaire par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n_1 + \beta$. Ces moyens diviseurs génèrent ladite valeur numérique de sortie.

Selon l'invention, le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport dudit second coefficient de quantification sur ledit premier coefficient de quantification. En outre, lesdits moyens diviseurs comprennent un modulateur Sigma-Delta ($\Sigma-\Delta$).

Ainsi qu'il est connu, un modulateur $\Sigma-\Delta$ est un circuit synchrone de la fréquence d'échantillonnage du signal d'entrée. Il opère une mise en forme du bruit de quantification (« Noise Shaping », en anglais) dans les hautes fréquences. On récupère en sortie du modulateur $\Sigma-\Delta$ un signal avec un bruit de quantification diminué dans les fréquences utiles. En moyenne, c'est-à-dire à basse fréquence par rapport à la fréquence d'échantillonnage, le gain du dispositif est égal à $\frac{B}{2^\alpha}$.

On dispose donc en sortie du modulateur $\Sigma-\Delta$ d'une valeur numérique de sortie qui correspond, avec une bonne précision, à la valeur numérique d'entrée multipliée par le rapport dudit second coefficient de quantification sur le premier coefficient de quantification.

Le principe de l'invention repose sur l'idée suivante. Dans ce qui suit, on note Sq_1 la valeur numérique d'entrée (information quantifiée), et Cq_1 le premier coefficient de quantification. De même, on note Sq_2 la valeur numérique de sortie (information quantifiée), et Cq_2 le second coefficient de quantification. Enfin, on note S la valeur réelle (information non quantifiée) correspondant à Sq_1 et Sq_2 . On pose alors les relations ci-dessous :

$$Sq_2 = \text{arrondi}(S \cdot Cq_2) \quad (6)$$

$$\text{d'où } Sq_2 \cong \text{arrondi}(S \cdot Cq_1) \cdot \frac{Cq_2}{Cq_1} \quad (7)$$

$$\text{d'où } Sq2 \cong Sq1 \cdot \frac{Cq2}{Cq1} \quad (8)$$

$$\text{c'est-à-dire } Sq2 \cong Sq1 \cdot \frac{B}{2^\alpha} \quad (9)$$

$$\text{avec } \frac{Cq2}{Cq1} \cong \frac{B}{2^\alpha} \quad (10)$$

On voit que l'invention a pour effet de réaliser la relation (9) en utilisant
 5 la relation (10). Elle permet donc de convertir la valeur numérique $Sq1$ en une valeur numérique $Sq2$, qui sont des informations quantifiées selon des coefficients de quantifications respectifs $Cq1$ et $Cq2$ différents, et qui correspondent toutes les deux à la même information réelle S , sans qu'aucune hypothèse restrictive sur la relation entre l'un et l'autre de ces coefficients de
 10 quantification ne soit faite.

Ainsi, l'invention permet de réduire l'erreur de quantification sur une valeur réelle, variable ou constante. En effet, il suffit de choisir le premier coefficient de quantification $Cq1$ de manière à minimiser l'erreur de quantification sur la valeur numérique $Sq1$, et de convertir cette valeur en la délivrant en tant que valeur numérique d'entrée à un dispositif selon l'invention pour obtenir une valeur numérique de sortie $Sq2$ quantifiée selon un second coefficient de quantification $Cq2$, qui sera choisi comme étant celui de la quantification du sous-système devant utiliser la valeur numérique d'entrée. On peut ainsi réduire l'erreur de quantification sur la valeur numérique $Sq2$, sans 20 contrainte sur la quantification de ce sous-système.

Ceci est montré par le calcul suivant de l'erreur de quantification e sur la valeur réelle S , dans le cas où le dispositif selon l'invention est utilisé.

L'expression de e est donnée par :

$$e = S - \frac{\left(Sq1 \cdot \frac{B}{2^\alpha} \right)}{Cq2} \quad (11)$$

25 Or, $Sq1 = \text{arrondi}(S \cdot Cq1)$.

$$\text{D'où } |Sq1| \leq |S \cdot Cq1| + \frac{1}{2} \text{ et } -Sq1 \leq -S \cdot Cq1 + \frac{1}{2}$$

$$\text{On en déduit : } e \leq S - \frac{\left(S \cdot Cq_1 \cdot \frac{B}{2^\alpha} \right)}{Cq_2} + \frac{1}{2} \cdot \frac{\left(\frac{B}{2^\alpha} \right)}{Cq_2}$$

$$\text{Soit } |e| \leq |S| \cdot \left| 1 - \frac{Cq_1}{Cq_2} \cdot \frac{B}{2^\alpha} \right| + \frac{1}{2} \cdot \frac{\left(\frac{B}{2^\alpha} \right)}{Cq_2} = |S| \cdot \left| 1 - \frac{Cq_1}{Cq_2} \cdot \frac{B}{2^\alpha} \right| + \frac{1}{2 \cdot Cq_1} \left(\frac{Cq_1}{Cq_2} \cdot \frac{B}{2^\alpha} \right)$$

Le choix de B et de α donne $\frac{Cq_1}{Cq_2} \cdot \frac{B}{2^\alpha} = 1 + \varepsilon$, où ε désigne une quantité négligeable par rapport à l'unité ($\varepsilon = o(1)$). Il vient alors :

$$5 \quad |e| \leq |S| \cdot |\varepsilon| + \frac{1}{2 \cdot Cq_1} (1 + \varepsilon) \approx |S| \cdot |\varepsilon| + \frac{1}{2 \cdot Cq_1} \quad (12)$$

L'erreur de quantification de la valeur quantifiée Sq_2 obtenue par le procédé selon l'invention est donc, au maximum, égale à la somme d'une part de l'erreur de quantification maximum de la valeur Sq_1 quantifiée selon le coefficient de quantification Cq_1 et d'autre part d'une image de la valeur réelle S qui sera en général négligeable. Avec une quantification selon le coefficient de quantification Cq_2 , on aurait eu une erreur majorée par $\frac{1}{2 \cdot Cq_2}$.

Avantageusement, pour réduire l'erreur de quantification sur la valeur Sq_2 dans le sous-système utilisant cette valeur, on choisira la valeur de Cq_1 telle que Cq_1 soit supérieur à Cq_2 ($Cq_1 > Cq_2$).

15 Dans le cas particulier où la valeur numérique concernée est un entier, la première valeur numérique d'entrée Sq_1 est égale à la valeur réelle S ($Sq_1=S$) et le premier coefficient de quantification Cq_1 est égal à l'unité ($Cq_1=1$). L'erreur de quantification sur Sq_1 est alors nulle, et l'erreur de quantification sur Sq_2 est alors minimale. Dans ce cas, la relation (12) s'écrit :

$$20 \quad e = S \times \varepsilon \quad (13)$$

Par ailleurs, l'invention permet aussi d'adapter une valeur numérique Sq_1 d'un premier sous-système ayant une première quantification déterminée, à une seconde quantification déterminée qui est celle d'un second sous-système devant utiliser cette valeur numérique, sans contrainte sur les quantifications respectives de ces deux sous-systèmes. En effet, il suffit de fournir cette valeur numérique Sq_1 , en tant que valeur numérique d'entrée, à un dispositif selon l'invention, dans lequel ledit premier coefficient de

quantification Cq1 est choisi égal à celui de ladite première quantification déterminée, et dans lequel ledit second coefficient de quantification Cq2 est choisi égal à celui de ladite seconde quantification déterminée.

Selon un troisième aspect, l'invention propose un synthétiseur de fréquence à modulation numérique, comprenant une boucle à verrouillage de phase comprenant un diviseur de fréquence à rapport variable dans la voie de retour. Le rapport de division dudit diviseur est commandé par une valeur numérique obtenue à partir notamment d'une valeur réelle correspondant à la fréquence centrale d'un canal radio. Le synthétiseur comprend en outre un dispositif de conversion tel que défini plus haut, pour réduire l'erreur de quantification sur ladite valeur réelle.

D'autres caractéristiques et avantages de l'invention apparaîtront encore à la lecture de la description qui va suivre. Celle-ci est purement illustrative et doit être lue en regard des dessins annexés sur lesquels :

- 15 - la figure 1 est un schéma synoptique d'un dispositif selon l'invention ;
- la figure 2 est un organigramme des étapes d'un procédé selon l'invention ;
- la figure 3 est un schéma synoptique d'un premier mode de réalisation du dispositif de la figure 1 ;
- 20 - la figure 4 est un schéma synoptique d'un deuxième mode de réalisation du dispositif de la figure 1 ;
- la figure 5 est un diagramme illustrant l'application d'un masque à une valeur numérique déterminée ;
- la figure 6 est un schéma synoptique d'un troisième mode de 25 réalisation du dispositif de la figure 1 ; et,
- la figure 7 est un schéma synoptique d'un synthétiseur à modulation numérique incorporant un dispositif selon l'invention.

A la figure 1, on a représenté le schéma synoptique d'un dispositif selon l'invention.

30 Le dispositif comprend une entrée 1 pour recevoir une valeur numérique d'entrée Sq1 qui est une valeur quantifiée d'une valeur réelle variable ou constante. La valeur Sq1 est quantifiée selon un premier coefficient de quantification Cq1, et codée sur au plus n1 bits, où n1 est un nombre entier

non nul. Le dispositif comprend également une sortie 2 pour délivrer une valeur numérique de sortie Sq2. La valeur Sq2 est quantifiée selon un second coefficient de quantification Cq2, et codée sur au plus n2 bits, où n2 est un nombre entier non nul.

5 Le dispositif comprend aussi des moyens tels qu'un multiplicateur numérique 10, pour multiplier la valeur numérique d'entrée Sq1 par un nombre B entier, codé sur au plus β bits, où β est un nombre entier non nul. Les moyens 10 génèrent une première valeur numérique intermédiaire C codée sur au plus $n_1 + \beta$ bits.

10 Le dispositif comprend encore des moyens diviseurs, pour diviser, en virgule fixe, ladite première valeur numérique intermédiaire C par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n_1 + \beta$. Ces moyens diviseurs génèrent la valeur numérique de sortie Sq2.

Selon l'invention, ces moyens diviseurs comprennent un modulateur Sigma-Delta 20, recevant la valeur intermédiaire C en entrée, et délivrant la valeur numérique de sortie Sq2 en sortie. Le modulateur $\Sigma-\Delta$ est un modulateur numérique/numérique, recevant en entrée une valeur numérique codée sur $n_1 + \beta$ bits, et délivrant en sortie une valeur numérique codée sur $n_1 + \beta + 1 - \alpha$ bits. De préférence, il s'agit d'un modulateur $\Sigma-\Delta$ d'ordre 1, qui est le plus simple à 20 implémenter. Néanmoins, on peut envisager des modes de réalisation avec un modulateur $\Sigma-\Delta$ d'ordre supérieur.

Selon l'invention, en outre, le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au

rapport $\frac{C_{q2}}{C_{q1}}$ du second coefficient de quantification Cq2 sur le premier coefficient de quantification Cq1.

25 Ainsi qu'il a été dit en introduction, un tel dispositif réalise la conversion de la valeur numérique Sq1 quantifiée selon le coefficient de quantification Cq1, en la valeur numérique Sq2, quantifiée selon le coefficient de quantification Cq2.

La figure 2 est un organigramme illustrant les étapes d'un procédé selon 30 l'invention. Le procédé est mis en œuvre par un dispositif tel que décrit ci-dessus en regard de la figure 1.

Dans une étape 100, on reçoit la valeur numérique d'entrée Sq1.

Dans une étape 200, on multiplie la valeur Sq1 par le nombre B, pour générer la première valeur numérique intermédiaire C.

Dans une étape 300, on divise, en virgule fixe, la première valeur 5 numérique intermédiaire C par le nombre 2^α , pour générer la valeur numérique de sortie Sq2. Suivant l'invention, l'étape 300 est réalisée au moyen d'un modulateur Sigma-Delta. De plus, le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport $\frac{Cq2}{Cq1}$.

Le schéma de la figure 3 illustre un premier mode de réalisation d'un 10 dispositif selon l'invention, convenant pour la mise en œuvre d'une première variante du procédé.

Dans ce premier mode de réalisation, le modulateur Sigma-Delta 20 comprend des moyens 21 tels qu'un additionneur numérique recevant en entrée la première valeur numérique intermédiaire C en tant que premier 15 opérande d'une part, et une valeur numérique d'erreur E en tant que second opérande d'autre part. Celle-ci est codée sur au plus α bits. Les moyens 21 délivrent en sortie une deuxième valeur numérique intermédiaire D codée sur au plus $n_1 + \beta + 1$ bits.

En outre, le dispositif comprend des moyens de sélection 23, tels qu'un 20 discriminateur numérique, pour sélectionner les n_2 bits les plus significatifs de la deuxième valeur numérique intermédiaire D en tant que valeur numérique de sortie Sq2, et pour sélectionner les α bits les moins significatifs de la deuxième valeur numérique intermédiaire D en tant que valeur numérique d'erreur E. Il s'ensuit que n_2 est égal à $n_1 + \beta + 1 - \alpha$. Les moyens 23 reçoivent la valeur D en 25 entrée, et délivrent la valeur Sq2 ainsi que la valeur E en sortie.

Un discriminateur numérique est un circuit séparant les k bits de poids fort et les j bits de poids faible d'une valeur numérique d'entrée donnée, pour générer deux valeurs numériques de sortie codées respectivement sur k bits et sur j bits, et ayant pour valeur la valeur correspondant respectivement aux k 30 bits de poids forts et aux j bits de poids faible. Ici, le discriminateur 23 sépare les $n_1 + \beta + 1 - \alpha$ bits les plus significatifs de la deuxième valeur numérique

intermédiaire D d'une part, et les α bits les moins significatifs de la valeur D d'autre part.

Le schéma de la figure 4 illustre un deuxième mode de réalisation d'un dispositif selon l'invention, convenant pour la mise en œuvre d'une deuxième variante du procédé.

Dans ce deuxième mode de réalisation, les moyens de sélection 23 du dispositif comprennent un opérateur 24 de décalage à droite de α bits. Un tel opérateur est par exemple réalisé à l'aide d'un registre à décalage proprement commandé. Cet opérateur 24 reçoit en entrée les $n_1+\beta+1$ bits de la deuxième valeur numérique intermédiaire D. Il délivre en sortie les $n_1+\beta+1-\alpha$ bits les plus significatifs de la deuxième valeur numérique intermédiaire D en tant que valeur numérique de sortie Sq2.

Par ailleurs, les moyens de sélection 23 comprennent en outre des moyens 25 pour appliquer un masque à la deuxième valeur numérique intermédiaire D.

Un tel masque est représenté à la figure 5 sous la référence M. Il s'agit d'une valeur numérique stockée dans un registre approprié, ayant au plus $n_1+\beta+1$ bits, dont les $n_1+\beta+1-\alpha$ bits les plus significatifs sont égaux à la valeur logique 0, et dont les α bits les moins significatifs sont égaux à la valeur logique 1. Lorsqu'il est combiné à la deuxième valeur numérique intermédiaire D dans une opération de type ET logique, il permet de sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire D.

Dit autrement, les moyens 25 reçoivent en entrée les $n_1+\beta+1$ bits de la deuxième valeur numérique intermédiaire D. Ils délivrent en sortie les $n_1+\beta+1-\alpha$ bits les plus significatifs de la deuxième valeur numérique intermédiaire D en tant que la valeur numérique d'erreur E.

Le schéma de la figure 6 illustre un troisième mode de réalisation d'un dispositif selon l'invention, convenant pour la mise en œuvre d'une troisième variante du procédé.

Dans ce troisième mode de réalisation, les moyens de sélection 23 du dispositif comprennent toujours un opérateur 24 de décalage à droite de α bits, ayant la même fonction que l'opérateur 24 du dispositif de la figure 4.

En outre, les moyens de sélection 23 comprennent un opérateur 26 de décalage à gauche de α bits recevant en entrée les $n_1+\beta+1-\alpha$ bits de la valeur numérique de sortie Sq2 et délivrant en sortie une troisième valeur numérique intermédiaire F, codée sur au plus $n_1+\beta+1$ bits. L'opérateur 26 est par exemple un registre à décalage proprement commandé. Ils comprennent d'autre part un opérateur 27, pour effectuer la différence entre les valeurs numériques intermédiaires F et C. L'opérateur 27 est par exemple un soustracteur numérique. Il reçoit la troisième valeur numérique intermédiaire F en tant que premier opérande, et la première valeur numérique intermédiaire C en tant que second opérande. Il délivre en sortie la valeur numérique d'erreur E.

Dans chacun des trois modes de réalisation décrits ci-dessus en regard des figures 3, 4 et 6, le dispositif comprend de préférence un opérateur 22 appliquant un retard unité à la valeur numérique d'erreur E, pour des raisons de synchronisation. Dit autrement, le signal d'erreur E est fourni en entrée des moyens additionneurs 21 à travers un opérateur retard unité 22.

La figure 6 montre le schéma d'un synthétiseur de fréquence à modulation numérique, plus connu sous le vocable DMS (de l'anglais « Digitally Modulated Synthesiser »), qui incorpore un dispositif selon l'invention.

Un tel circuit peut être utilisé pour la génération d'un signal radiofréquence (dans la bande UHF comprise entre 400 et 600 MHz) modulé en fréquence ou en phase. Il trouve des applications dans les émetteurs ou les émetteurs-récepteurs d'un système de radiocommunication, notamment dans les stations de base et/ou dans les terminaux mobiles d'un tel système.

Un DMS présente une architecture qui est dérivée de la structure d'un synthétiseur de fréquence N-fractionnaire, et permet de générer un signal périodique modulé en fréquence ou en phase.

Le DMS comporte une boucle à verrouillage de phase ou PLL (de l'anglais « Phase Locked Loop ») comprenant, en série dans une voie directe, un comparateur de phase/fréquence 11 ou PFC (de l'anglais « Phase/Frequency Comparator »), un filtre de boucle 12 tel qu'un intégrateur, et un oscillateur commandé en tension 13 ou VCO (de l'anglais « Voltage Controlled Oscillator »), ainsi que, dans une voie de retour, un diviseur de fréquence 14. Le VCO délivre en sortie un signal S_{out} qui est le signal de sortie

du DMS, dont la fréquence instantanée est f_{out} . Le PFC reçoit sur une première entrée un signal de référence S_{ref} ayant une fréquence de référence f_{ref} et, sur une seconde entrée, un signal S_{div} délivré par le diviseur de fréquence 14 à partir du signal S_{out} .

- 5 Pour une synthèse N-fractionnaire classique, le diviseur de fréquence 14 est un diviseur à rapport variable permettant de produire le signal S_{div} en divisant la fréquence f_{out} du signal S_{out} par un rapport de division qui vaut alternativement un entier N pendant une partie du temps T_1 , et l'entier $N+1$ pendant le reste du temps T_2 . De la sorte, la fréquence f_{out} du signal de sortie
10 S_{out} est donnée en fonction de la fréquence f_{ref} du signal de référence S_{ref} , par :

$$f_{out} = \left(N + \frac{T_1}{T_1 + T_2} \right) \times f_{ref} \quad (14)$$

- 15 Dans un synthétiseur à modulation numérique, le diviseur de fréquence 14 comporte une entrée de commande du rapport de division. Ce rapport est fixé par la valeur stockée dans un accumulateur déterminé. Toutefois, afin d'éviter l'apparition de raies parasites dans le spectre du signal de sortie S_{out} dues à la périodicité des changements du rapport de division de N à $N+1$ et réciproquement, un DMS connu dans l'état de l'art comporte en outre un modulateur 15, du type d'un modulateur $\Sigma-\Delta$ numérique/numérique.

- 20 Le modulateur 15 comporte une entrée qui reçoit une valeur numérique de modulation de fréquence ou de phase S_{mod} codée sur k bits, et une sortie qui délivre une valeur numérique S'_{mod} correspondant à la valeur S_{mod} embrouillée, et codée sur j bits. La sortie du modulateur 15 est reliée à une première entrée d'un additionneur numérique 16, dont la seconde entrée reçoit une valeur numérique N_0 qui définit le bas de la bande de fréquence adressée par le synthétiseur. La sortie de l'additionneur 16 délivre une valeur numérique S_C . Elle est reliée à l'entrée de commande du diviseur 14 pour y délivrer la valeur S_C .

- 30 Le DMS comprend aussi un second additionneur numérique 17, dont une première entrée reçoit une valeur numérique S_{info} et dont une seconde

entrée reçoit une valeur numérique S_{ch2} . La sortie de l'additionneur 17 délivre la valeur numérique de modulation de fréquence ou de phase S_{mod} précitée. La valeur numérique S_{info} contient l'information de modulation (signal modulant), c'est-à-dire l'information utile à émettre. La valeur numérique S_{ch2} 5 correspond à la fréquence centrale du canal radio (après addition en outre de la valeur N_0 précitée).

Les valeurs numériques S_{info} , S_{ch2} , S_{mod} , S'_{mod} et N_0 sont des valeurs quantifiées selon un coefficient de quantification $Cq2$ du système numérique constitué par le DMS.

10 Selon l'invention, la valeur numérique S_{ch2} est délivrée par un dispositif convertisseur 18 tel que décrit plus haut en regard des figures 2 à 6, à partir d'une valeur numérique S_{chq1} stockée dans un registre approprié. Les valeurs quantifiées S_{ch1} et S_{ch2} correspondent à une valeur réelle qui est la fréquence centrale du canal notée F_{ch} dans la suite. La valeur réelle F_{ch} est 15 constante car la valeur de la fréquence centrale du canal est constante. En l'absence du dispositif 18, la valeur réelle F_{ch} serait directement quantifiée selon le coefficient de quantification $Cq2$ du système constitué par le DMS. Néanmoins, le DMS présenté ici incorpore un dispositif 18 selon l'invention, afin de réduire l'erreur de quantification sur la valeur numérique quantifiée 20 correspondant à la valeur réelle F_{ch} (qui est une erreur systématique puisque cette valeur est constante). Dit autrement, le DMS comprend un dispositif 18 pour la conversion de la valeur numérique S_{ch1} en une valeur numérique S_{ch2} quantifiée selon le coefficient de quantification $Cq2$ du système constitué par le DMS.

25 En application de ce qui précède, on choisit donc d'implémenter un dispositif convertisseur 18 du type décrit plus haut, pour lequel $Cq1$ est égal à l'unité ($Cq1=1$, car la valeur réelle F_{ch} est entière) et pour lequel $Cq2$ est le coefficient de quantification de la quantification du DMS.

On donne ci-dessous un exemple numérique permettant d'illustrer les 30 avantages procurés par l'invention dans cette application. Dans cet exemple :

- $F_{ref}=9,6 \text{ MHz}$ (mégahertz) ;

- k=22 ;
- j=4 ;
- F_{ch}=400017,5 kHz (kilohertz) ;
- N_o=arrondi(395 MHz / F_{ref}) ;
- e_d=4 Hz (Hertz).

5

La résolution fréquentielle d'un tel DMS est donnée par $\frac{F_{ref}}{2^{k-j}}$, où k est le

nombre de bits en entrée du modulateur Sigma-Delta 15, et où j est le nombre de bits en sortie de ce modulateur. La résolution fréquentielle du DMS, c'est-à-dire $\frac{1}{Cq2}$, est donc :

10
$$\frac{1}{Cq2} = \frac{F_{ref}}{2^{k-j}} = \frac{9,6 \cdot 10^6}{2^{18}} \approx 36,62 \text{ Hz}$$

La valeur F_{min} correspondant au bas de la bande de fréquence adressée par le DMS, est déterminée par la valeur numérique N_o selon la relation F_{min}=N_oxF_{ref}. Donc ici, F_{min}=41x9,6.10⁶=393,6 MHz.

15 Considérons tout d'abord ce que serait la situation sans le dispositif 18 selon l'invention, c'est-à-dire si on avait Sch1=Sch2. On aurait :

$$F_{ch2} = \text{arrondi}[(F_{ch} - F_{min}) \cdot Cq2] = 175241$$

L'erreur de quantification systématique sur la fréquence centrale du canal radio serait donc :

$$e = F_{ch} - \left(\frac{F_{ch2}}{Cq2} + F_{min} \right)$$

20 c'est-à-dire :

$$e = 400017,5 \cdot 10^3 - \left(\frac{175241}{Cq2} + 393,6 \cdot 10^6 \right) = -17,08 \text{ Hz}$$

Cette valeur dépasse (en valeur absolue) l'erreur acceptable e_d.

18 Considérons maintenant ce qui se passe avec le dispositif de conversion selon l'invention. Le signal que l'on cherche à représenter étant entier, on a 25 Cq1=1.

On choisit l'approximation suivante : $Cq2 \approx \frac{B}{2^\alpha} = \frac{229065}{2^{23}}$. Dit autrement, on choisit d'implémenter un dispositif selon l'invention avec $B=229065$, et $\alpha=23$.

On peut déterminer l'erreur de quantification en utilisant la relation (13) 5 donnée en introduction qui est valable dans le cas où la valeur numérique réelle en entrée du dispositif (ici, la valeur constante $F_{ch}-F_{min}$) est un entier.

On rappelle que cette relation s'écrit alors :

$$e = S \cdot \varepsilon = S \cdot \left(\frac{Cq1}{Cq2} \cdot \frac{B}{2^\alpha} - 1 \right) \cong 2,17 \text{ Hz}$$

où S désigne la valeur numérique réelle en entrée du dispositif (ici F_{ch}).

10 D'où il vient que $e \cong 2,17 \text{ Hz}$. On a donc bien atteint l'objectif d'une erreur de quantification sur la valeur de la fréquence centrale du canal radio inférieure à 4 Hz, sans devoir modifier la quantification du système. L'invention permet ici de réduire l'erreur de quantification systématique sur la valeur de la fréquence centrale du canal radio de 17 Hz à 2 Hz.

15 Un meilleur résultat pourrait être obtenu en augmentant la précision de l'approximation de $\frac{Cq2}{Cq1}$ mais au prix d'une augmentation du nombre β et du nombre α .

REVENDICATIONS

1. Procédé de conversion d'une valeur numérique d'entrée (Sq1) quantifiée selon un premier coefficient de quantification (Cq1) et codée sur au plus n1 bits, en une valeur numérique de sortie (Sq2) quantifiée selon un second coefficient de quantification (Cq2) et codée sur au plus n2 bits, où n1 et 5 n2 sont des nombres entiers non nuls, comprenant les étapes consistant à :

a) multiplier la valeur numérique d'entrée (Sq1) par un nombre B entier, codé sur au plus β bits, où β est un nombre entier non nul, pour générer une première valeur numérique intermédiaire (C) codée sur au plus $n_1 + \beta$ bits ;

10 b) diviser, en virgule fixe, ladite première valeur numérique intermédiaire (C) par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n_1 + \beta$, pour générer ladite valeur numérique de sortie (Sq2),

15 suivant lequel le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport dudit second coefficient de quantification (Cq2) sur ledit premier coefficient de quantification (Cq1) ;

et suivant lequel l'étape b) est réalisée au moyen d'un modulateur Sigma-Delta.

2. Procédé selon la revendication 1, suivant lequel l'étape b) comprend les étapes consistant à :

20 b1) additionner ladite première valeur numérique intermédiaire (C) d'une part, et une valeur numérique d'erreur (ε) codée sur au plus α bits d'autre part, pour générer une deuxième valeur numérique intermédiaire (D) codée sur au plus $n_1 + \beta + 1$ bits ;

b2) sélectionner les n2 bits les plus significatifs de ladite deuxième 25 valeur numérique intermédiaire (D) en tant que valeur numérique de sortie (Sq2), où n2 est égal à $n_1 + \beta + 1 - \alpha$;

b3) sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique d'erreur (ε).

REVENDICATIONS

1. Procédé de conversion d'une valeur numérique d'entrée (Sq1) quantifiée selon un premier coefficient de quantification (Cq1) et codée sur au plus n1 bits, en une valeur numérique de sortie (Sq2) quantifiée selon un second coefficient de quantification (Cq2) et codée sur au plus n2 bits, où n1 et
5 n2 sont des nombres entiers non nuls, comprenant les étapes consistant à :

a) multiplier la valeur numérique d'entrée (Sq1) par un nombre B entier, codé sur au plus β bits, où β est un nombre entier non nul, pour générer une première valeur numérique intermédiaire (C) codée sur au plus n1+β bits ;

10 b) diviser, en virgule fixe, ladite première valeur numérique intermédiaire (C) par le nombre 2^α , où α est un nombre entier inférieur ou égal à n1+β, pour générer ladite valeur numérique de sortie (Sq2),

suivant lequel le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport dudit second coefficient de quantification (Cq2) sur ledit premier coefficient de quantification (Cq1) ;

15 et suivant lequel l'étape b) est réalisée au moyen d'un modulateur Sigma-Delta.

2. Procédé selon la revendication 1, suivant lequel l'étape b) comprend les étapes consistant à :

20 b1) additionner ladite première valeur numérique intermédiaire (C) d'une part, et une valeur numérique d'erreur (E) codée sur au plus α bits d'autre part, pour générer une deuxième valeur numérique intermédiaire (D) codée sur au plus n1+β+1 bits ;

25 b2) sélectionner les n2 bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique de sortie (Sq2), où n2 est égal à n1+β+1-α ;

b3) sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique d'erreur (E).

3. Procédé selon la revendication 2, suivant lequel l'étape b2) et l'étape b3) sont réalisées conjointement à l'aide d'un discriminateur, permettant de séparer lesdits $n_1+\beta+1-\alpha$ bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) d'une part, et lesdits α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) d'autre part.

4. Procédé selon la revendication 2, suivant lequel l'étape b2) est effectuée par une opération de décalage à droite de α bits appliquée aux $n_1+\beta+1$ bits de la deuxième valeur numérique intermédiaire (D).

10 5. Procédé selon la revendication 4, suivant lequel l'étape b3) est effectuée en appliquant à la deuxième valeur numérique intermédiaire (D) un masque ayant au plus $n_1+\beta+1$ bits, dont les $n_1+\beta+1-\alpha$ bits les plus significatifs sont égaux à la valeur logique 0, et dont les α bits les moins significatifs sont égaux à la valeur logique 1.

20 6. Procédé selon la revendication 4, suivant lequel l'étape b3) est effectuée d'une part par une opération de décalage à gauche de α bits appliquée aux $n_1+\beta+1-\alpha$ bits de la valeur numérique de sortie (Sq2) permettant de générer une troisième valeur numérique intermédiaire (E) codée sur au plus $n_1+\beta+1$ bits, et d'autre part par une opération de différence entre ladite troisième valeur numérique intermédiaire (E) et ladite première valeur numérique intermédiaire (C).

25 7. Procédé selon l'une quelconque des revendications précédentes, suivant lequel aucun du premier ni du second coefficients de quantification n'est un multiple entier de l'autre

30 8. Dispositif de conversion d'une valeur numérique d'entrée (Sq1) quantifiée selon un premier coefficient de quantification (Cq1) et codée sur au plus n_1 bits, en une valeur numérique de sortie (Sq2) quantifiée selon un second coefficient de quantification (Cq2) et codée sur au plus n_2 bits, où n_1 et n_2 sont des nombres entiers non nuls, comprenant :

3. Procédé selon la revendication 2, suivant lequel l'étape b2) et l'étape b3) sont réalisées conjointement à l'aide d'un discriminateur, permettant de séparer lesdits $n_1+\beta+1-\alpha$ bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) d'une part, et lesdits α bits les moins significatifs 5 de ladite deuxième valeur numérique intermédiaire (D) d'autre part.

4. Procédé selon la revendication 2, suivant lequel l'étape b2) est effectuée par une opération de décalage à droite de α bits appliquée aux $n_1+\beta+1$ bits de la deuxième valeur numérique intermédiaire (D).

10

5. Procédé selon la revendication 4, suivant lequel l'étape b3) est effectuée en appliquant à la deuxième valeur numérique intermédiaire (D) un masque ayant au plus $n_1+\beta+1$ bits, dont les $n_1+\beta+1-\alpha$ bits les plus significatifs sont égaux à la valeur logique 0, et dont les α bits les moins significatifs sont 15 égaux à la valeur logique 1.

6. Procédé selon la revendication 4, suivant lequel l'étape b3) est effectuée d'une part par une opération de décalage à gauche de α bits appliquée aux $n_1+\beta+1-\alpha$ bits de la valeur numérique de sortie (Sq2) permettant 20 de générer une troisième valeur numérique intermédiaire (F) codée sur au plus $n_1+\beta+1$ bits, et d'autre part par une opération de différence entre ladite troisième valeur numérique intermédiaire (F) et ladite première valeur numérique intermédiaire (C).

25 7. Procédé selon l'une quelconque des revendications précédentes, suivant lequel aucun du premier ni du second coefficients de quantification n'est un multiple entier de l'autre

8. Dispositif de conversion d'une valeur numérique d'entrée (Sq1) 30 quantifiée selon un premier coefficient de quantification (Cq1) et codée sur au plus n_1 bits, en une valeur numérique de sortie (Sq2) quantifiée selon un second coefficient de quantification (Cq2) et codée sur au plus n_2 bits, où n_1 et n_2 sont des nombres entiers non nuls, comprenant :

- des moyens multiplicateurs (10) pour multiplier la valeur numérique d'entrée (Sq1) par un nombre B entier, codé sur au plus β bits, où β est un nombre entier non nul, générant une première valeur numérique intermédiaire (C) codée sur au plus $n_1+\beta$ bits ;

5 - des moyens diviseurs pour diviser, en virgule fixe, ladite première valeur numérique intermédiaire (C) par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n_1+\beta$, générant ladite valeur numérique de sortie (Sq2),

dans lequel le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport dudit

10 second coefficient de quantification (Cq2) sur ledit premier coefficient de quantification (Cq1) ;

et dans lequel lesdits moyens diviseurs comprennent un modulateur Sigma-Delta (20).

15 9. Dispositif selon la revendication 8, dans lequel le modulateur Sigma-Delta (20) est un modulateur Sigma-Delta d'ordre 1.

10. Dispositif selon la revendication 9, dans lequel le modulateur Sigma-Delta (20) comprend :

20 - des moyens additionneurs (21) recevant en entrée ladite première valeur numérique intermédiaire (C) en tant que premier opérande d'une part, et une valeur numérique d'erreur (ϵ) codée sur au plus α bits en tant que second opérande d'autre part, et délivrant en sortie une deuxième valeur numérique intermédiaire (D) codée sur au plus $n_1+\beta+1$ bits ;

25 - des moyens de sélection (23) pour sélectionner les n_2 bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique de sortie (Sq2), où n_2 est égal à $n_1+\beta+1-\alpha$, et pour sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique d'erreur (ϵ).

30

11. Dispositif selon la revendication 10, dans lequel lesdits moyens de sélection (23) sont constitué par un discriminateur permettant de séparer

- des moyens multiplicateurs (10) pour multiplier la valeur numérique d'entrée (Sq1) par un nombre B entier, codé sur au plus β bits, où β est un nombre entier non nul, générant une première valeur numérique intermédiaire (C) codée sur au plus $n_1+\beta$ bits ;

5 - des moyens diviseurs pour diviser, en virgule fixe, ladite première valeur numérique intermédiaire (C) par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n_1+\beta$, générant ladite valeur numérique de sortie (Sq2),

dans lequel le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport dudit

10 second coefficient de quantification (Cq2) sur ledit premier coefficient de quantification (Cq1) ;

et dans lequel lesdits moyens diviseurs comprennent un modulateur Sigma-Delta (20).

15 9. Dispositif selon la revendication 8, dans lequel le modulateur Sigma-Delta (20) est un modulateur Sigma-Delta d'ordre 1.

10. Dispositif selon la revendication 9, dans lequel le modulateur Sigma-Delta (20) comprend :

20 - des moyens additionneurs (21) recevant en entrée ladite première valeur numérique intermédiaire (C) en tant que premier opérande d'une part, et une valeur numérique d'erreur (E) codée sur au plus α bits en tant que second opérande d'autre part, et délivrant en sortie une deuxième valeur numérique intermédiaire (D) codée sur au plus $n_1+\beta+1$ bits ;

25 - des moyens de sélection (23) pour sélectionner les n_2 bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique de sortie (Sq2), où n_2 est égal à $n_1+\beta+1-\alpha$, et pour sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique d'erreur (E).

30

11. Dispositif selon la revendication 10, dans lequel lesdits moyens de sélection (23) sont constitué par un discriminateur permettant de séparer

lesdits $n_1+\beta+1-\alpha$ bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) d'une part, et lesdits α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) d'autre part.

5 12. Dispositif selon la revendication 10, dans lequel lesdits moyens de sélection (23) comprennent un opérateur de décalage à droite de α bits (24) recevant en entrée les $n_1+\beta+1$ bits de la deuxième valeur numérique intermédiaire (D), et délivrant en sortie les $n_1+\beta+1-\alpha$ bits les plus significatifs de la deuxième valeur numérique intermédiaire (D) en tant que valeur
10 numérique de sortie (Sq2).

13. Dispositif selon la revendication 12, dans lequel lesdits moyens de sélection (23) comprennent en outre des moyens (25) pour appliquer à la deuxième valeur numérique intermédiaire (D) un masque (M) ayant au plus
15 $n_1+\beta+1$ bits, dont les $n_1+\beta+1-\alpha$ bits les plus significatifs sont égaux à la valeur logique 0, et dont les α bits les moins significatifs sont égaux à la valeur logique 1, de manière à sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que la valeur numérique d'erreur (ε).

20 14. Dispositif selon la revendication 12, dans lequel lesdits moyens de sélection (23) comprennent en outre, d'une part un opérateur de décalage à gauche de α bits recevant en entrée les $n_1+\beta+1-\alpha$ bits de la valeur numérique de sortie (Sq2) et délivrant en sortie une troisième valeur numérique intermédiaire (E) codée sur au plus $n_1+\beta+1$ bits, et d'autre part un opérateur de différence recevant ladite troisième valeur numérique intermédiaire (E) en tant que premier opérande et ladite première valeur numérique intermédiaire (C) en tant que second opérande, et délivrant en sortie ladite valeur numérique d'erreur (ε).

lesdits $n_1 + \beta + 1 - \alpha$ bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) d'une part, et lesdits α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) d'autre part.

5 12. Dispositif selon la revendication 10, dans lequel lesdits moyens de sélection (23) comprennent un opérateur de décalage à droite de α bits (24) recevant en entrée les $n_1 + \beta + 1$ bits de la deuxième valeur numérique intermédiaire (D), et délivrant en sortie les $n_1 + \beta + 1 - \alpha$ bits les plus significatifs de la deuxième valeur numérique intermédiaire (D) en tant que valeur 10 numérique de sortie (Sq2).

13. Dispositif selon la revendication 12, dans lequel lesdits moyens de sélection (23) comprennent en outre des moyens (25) pour appliquer à la deuxième valeur numérique intermédiaire (D) un masque (M) ayant au plus 15 $n_1 + \beta + 1$ bits, dont les $n_1 + \beta + 1 - \alpha$ bits les plus significatifs sont égaux à la valeur logique 0, et dont les α bits les moins significatifs sont égaux à la valeur logique 1, de manière à sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que la valeur numérique d'erreur (E).

20 14. Dispositif selon la revendication 12, dans lequel lesdits moyens de sélection (23) comprennent en outre, d'une part un opérateur de décalage à gauche de α bits recevant en entrée les $n_1 + \beta + 1 - \alpha$ bits de la valeur numérique de sortie (Sq2) et délivrant en sortie une troisième valeur numérique 25 intermédiaire (F) codée sur au plus $n_1 + \beta + 1$ bits, et d'autre part un opérateur de différence recevant ladite troisième valeur numérique intermédiaire (F) en tant que premier opérande et ladite première valeur numérique intermédiaire (C) en tant que second opérande, et délivrant en sortie ladite valeur numérique d'erreur (F).

lesdits $n_1+\beta+1-\alpha$ bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) d'une part, et lesdits α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) d'autre part.

5 12. Dispositif selon la revendication 10, dans lequel lesdits moyens de sélection (23) comprennent un opérateur de décalage à droite de α bits (24) recevant en entrée les $n_1+\beta+1$ bits de la deuxième valeur numérique intermédiaire (D), et délivrant en sortie les $n_1+\beta+1-\alpha$ bits les plus significatifs de la deuxième valeur numérique intermédiaire (D) en tant que valeur
10 numérique de sortie (Sq2).

13. Dispositif selon la revendication 12, dans lequel lesdits moyens de sélection (23) comprennent en outre des moyens (25) pour appliquer à la deuxième valeur numérique intermédiaire (D) un masque (M) ayant au plus
15 $n_1+\beta+1$ bits, dont les $n_1+\beta+1-\alpha$ bits les plus significatifs sont égaux à la valeur logique 0, et dont les α bits les moins significatifs sont égaux à la valeur logique 1, de manière à sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que la valeur numérique d'erreur (E).

20

14. Dispositif selon la revendication 12, dans lequel lesdits moyens de sélection (23) comprennent en outre, d'une part un opérateur de décalage à gauche de α bits recevant en entrée les $n_1+\beta+1-\alpha$ bits de la valeur numérique de sortie (Sq2) et délivrant en sortie une troisième valeur numérique
25 intermédiaire (F) codée sur au plus $n_1+\beta+1$ bits, et d'autre part un opérateur de différence recevant ladite troisième valeur numérique intermédiaire (F) en tant que premier opérande et ladite première valeur numérique intermédiaire (C) en tant que second opérande, et délivrant en sortie ladite valeur numérique d'erreur (E).

30

15. Dispositif selon l'une quelconque des revendications 10 à 14, dans lequel le signal d'erreur (ε) est fourni en entrée des moyens additionneur (21) à travers un opérateur retard unité (22).

5 16. Synthétiseur de fréquence à modulation numérique, comprenant une boucle à verrouillage de phase (PLL) comprenant un diviseur de fréquence à rapport variable (14) dans la voie de retour, dans lequel le rapport de division est commandé par une valeur numérique (Sc) obtenue à partir notamment d'une valeur réelle (F_{ch}) correspondant à la fréquence centrale d'un canal
10 radio, le synthétiseur comprenant en outre un dispositif de conversion (18) selon l'une quelconque des revendications 8 à 15 pour réduire l'erreur de quantification sur ladite valeur réelle.

15. Dispositif selon l'une quelconque des revendications 10 à 14, dans lequel le signal d'erreur (F) est fourni en entrée des moyens additionneur (21) à travers un opérateur retard unité (22).

- 5 16. Synthétiseur de fréquence à modulation numérique, comprenant une boucle à verrouillage de phase (PLL) comprenant un diviseur de fréquence à rapport variable (14) dans la voie de retour, dans lequel le rapport de division est commandé par une valeur numérique (Sc) obtenue à partir notamment d'une valeur réelle (F_{ch}) correspondant à la fréquence centrale d'un canal
10 radio, le synthétiseur comprenant en outre un dispositif de conversion (18) selon l'une quelconque des revendications 8 à 15 pour réduire l'erreur de quantification sur ladite valeur réelle.

15. Dispositif selon l'une quelconque des revendications 10 à 14, dans lequel le signal d'erreur (E) est fourni en entrée des moyens additionneur (21) à travers un opérateur retard unité (22).

5 16. Synthétiseur de fréquence à modulation numérique, comprenant une boucle à verrouillage de phase (PLL) comprenant un diviseur de fréquence à rapport variable (14) dans la voie de retour, dans lequel le rapport de division est commandé par une valeur numérique (Sc) obtenue à partir notamment d'une valeur réelle (F_{ch}) correspondant à la fréquence centrale d'un canal
10 radio, le synthétiseur comprenant en outre un dispositif de conversion (18) selon l'une quelconque des revendications 8 à 15 pour réduire l'erreur de quantification sur ladite valeur réelle.

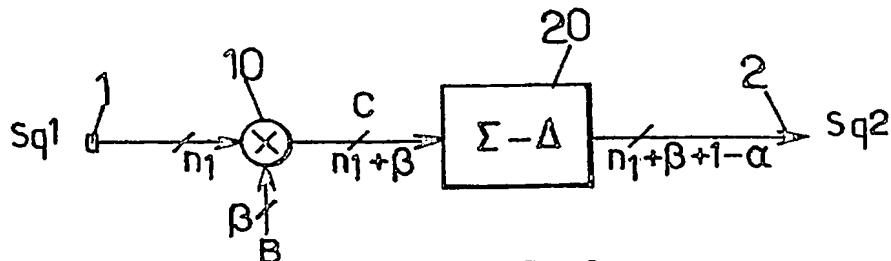


FIG.1.

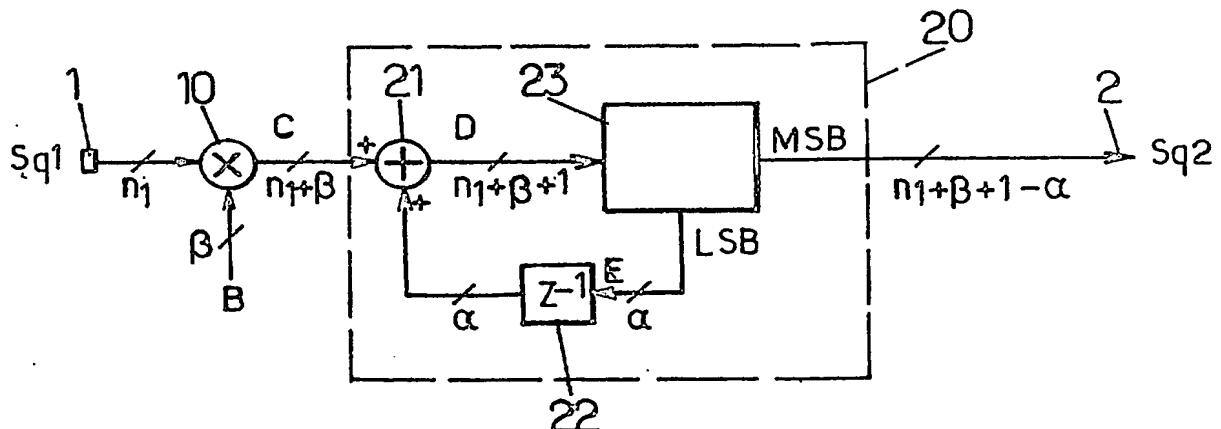
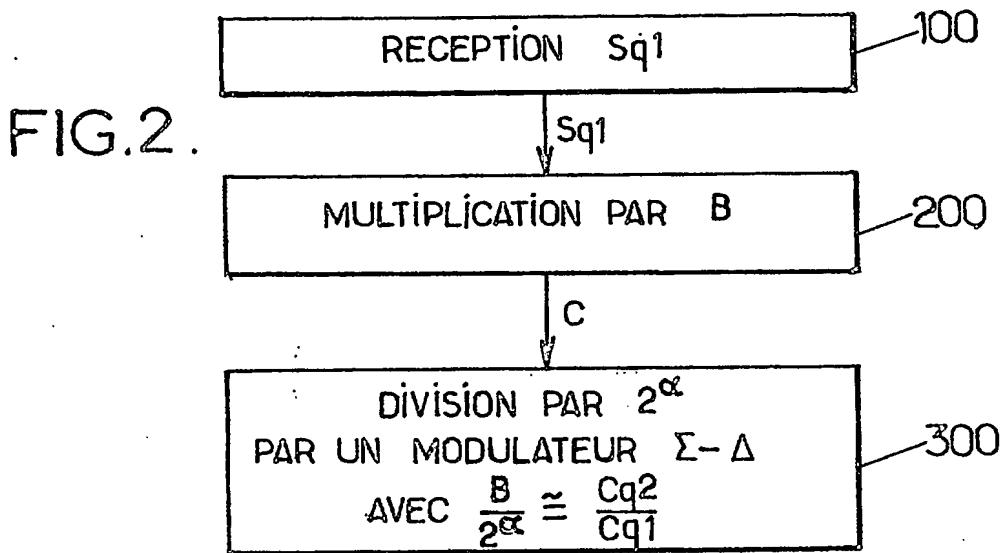


FIG.3.

1er depot

2/3

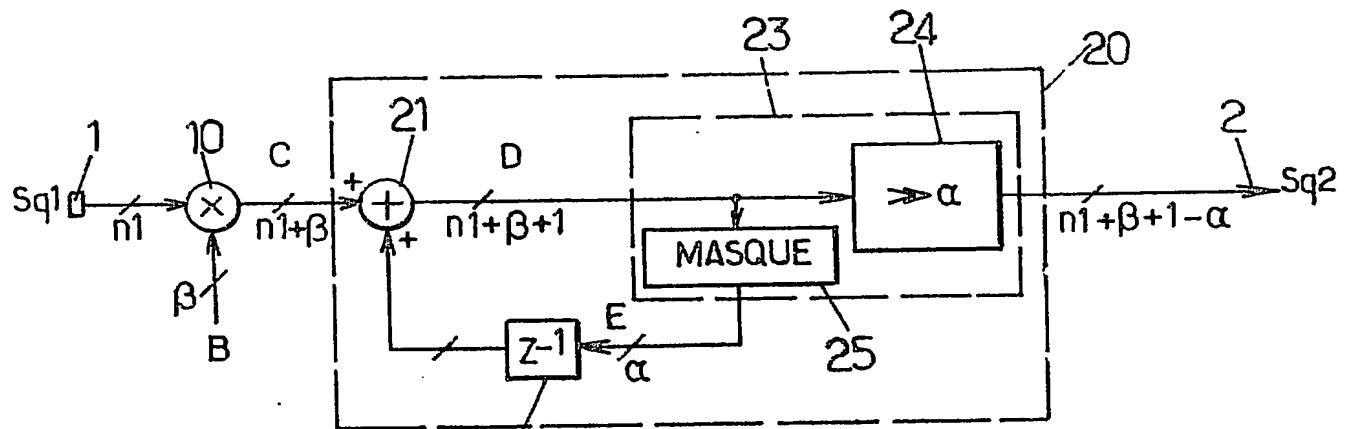


FIG.4.

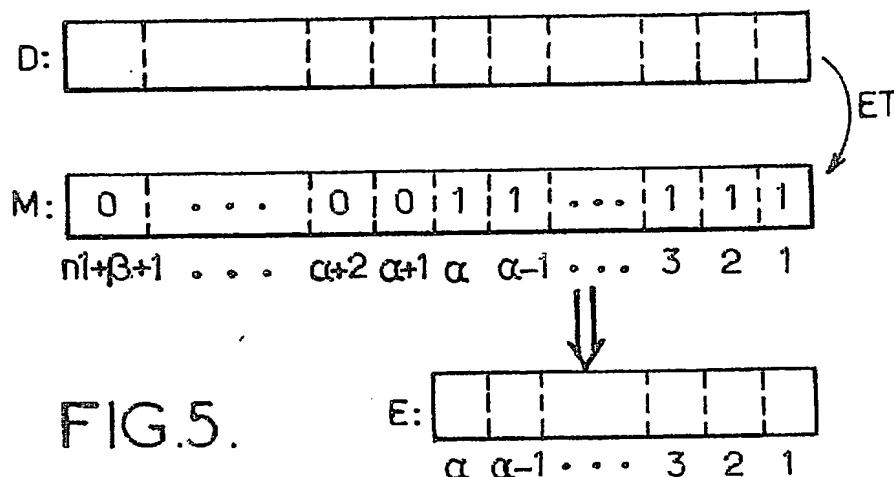


FIG.5.

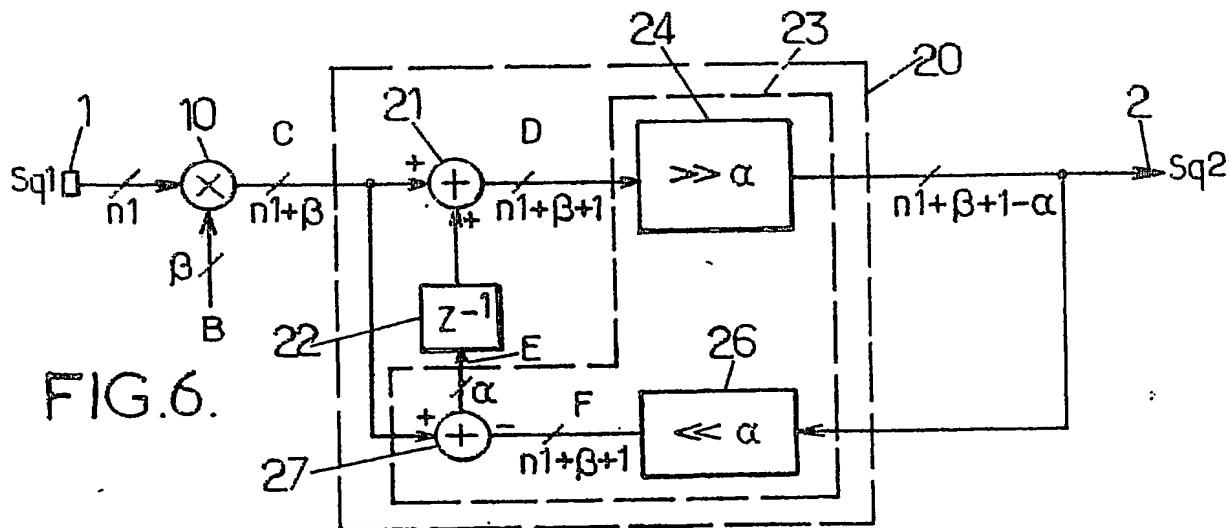


FIG.6.

3/3

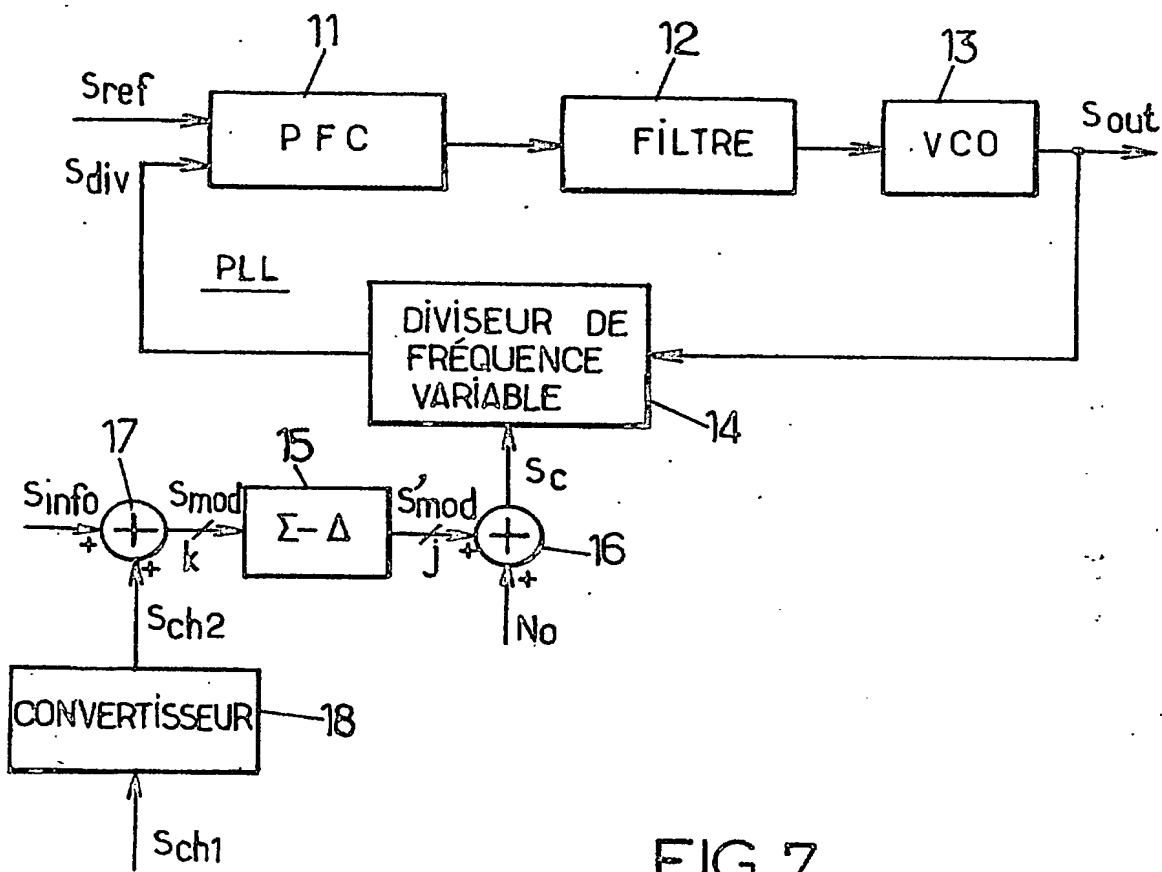


FIG. 7.

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
 75800 Paris Cedex 08
 Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

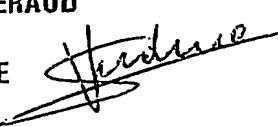

 N° 11235702

DÉSIGNATION D'INVENTEUR(S) Page N° 1/1

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 264893

Vos références pour ce dossier <i>(facultatif)</i>	BFF010289		
N° D'ENREGISTREMENT NATIONAL	0116874		
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
PROCEDE ET DISPOSITIF DE CONVERSION D'UNE VALEUR NUMERIQUE QUANTIFIEE			
LE(S) DEMANDEUR(S) :			
EADS DEFENCE AND SECURITY NETWORKS			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		CHAMPION Gaël	
Prénoms			
Adresse	Rue	60, rue Violet	75015 PARIS
	Code postal et ville		FRANCE
Société d'appartenance <i>(facultatif)</i>			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance <i>(facultatif)</i>			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance <i>(facultatif)</i>			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Le 21 décembre 2001 CABINET PLASSERAUD Stéphane VERDURE  97-0901	